

English Abstract attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-152905

(43)Date of publication of application : 16.06.1995

(51)Int.Cl. G06T 1/60
G06T 3/00
G06T 5/00
G09G 3/20
G09G 5/36
H04N 1/387
H04N 9/74

(21)Application number : 05-300273

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.11.1993

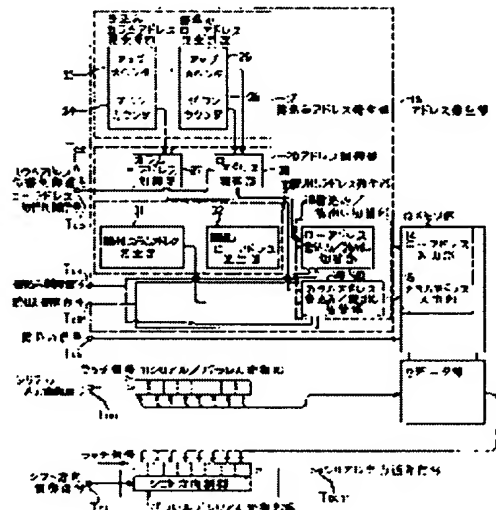
(72)Inventor : MINEMURA TOSHIMITSU
FUKUHARA MOTOHIKO
IGA HAMA YUKIO

(54) IMAGE DATA PROCESSOR

(57)Abstract:

PURPOSE: To provide the image data processor capable of easily performing various image processes as to an image data processor which processes normal input image data and performs image processing for the top-bottom and right-left inversion, enlargement, reduction, etc., of a screen based upon the input image data.

CONSTITUTION: An address generation part 16 which determines the write addresses and read addresses of data to a memory part 12 consists of a write address generation part 17, a read address generation part 18, a write/read switching part 19, and an address control part 20; and the write address generation part 17 generates increasing and decreasing addresses by up counters 23 and 25 and down counters 24 and 25 and the address control part 20 selects the increasing or decreasing addresses. Then the write address order of data is controlled to control the write addresses of the data, thereby inverting and rotating the image.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-152905

(43) 公開日 平成7年(1995)6月16日

(51) Int.Cl.⁶

G 0 6 T 1/60
3/00
5/00

識別記号

庁内整理番号

F I

技術表示箇所

8420-5L

G 0 6 F 15/ 64

4 5 0 F

15/ 66

3 4 5

審査請求 未請求 請求項の数 7 O L (全 24 頁) 最終頁に続く

(21) 出願番号

特願平5-300273

(22) 出願日

平成5年(1993)11月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 峯村 敏光

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 福原 元彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 飯ヶ浜 行生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

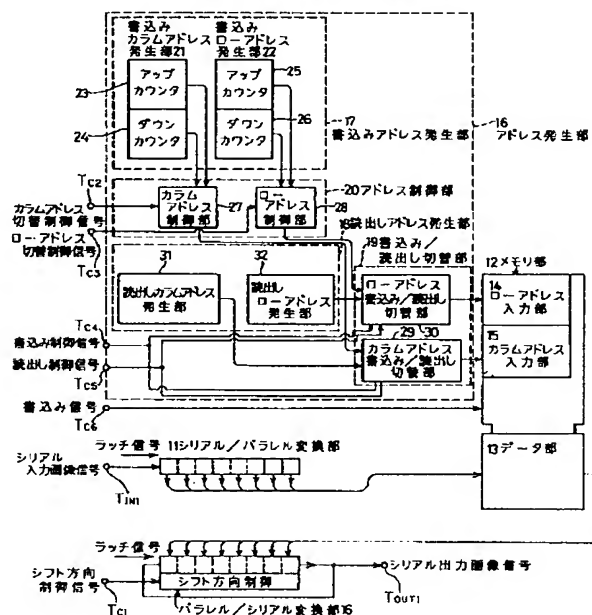
(54) 【発明の名称】 画像データ処理装置

(57) 【要約】

【目的】 通常の入力画像データを処理し、入力画像データに基づく画面の上下左右の反転、拡大、縮小等の画像処理を行なう画像データ処理装置に関し、各種画像処理が容易に行なえる画像データ処理装置を提供することを目的とする。

【構成】 メモリ部12へのデータの書込みアドレス及び読出しアドレスを決定するアドレス発生部16を書込みアドレス発生部17、読出しアドレス発生部18、書込み/読出し切替部19、アドレス制御部20より構成し、さらに書込みアドレス発生部17はアップカウンタ23、25及びダウンカウンタ24、26で上昇及び下降アドレスを生成し、アドレス制御部20で上昇又は下降書込みアドレスのいずれかを選択する構成とし、データの書込みアドレス順序を制御することにより、データの書込みアドレスを制御して、画像の反転、回転を行なう。

本発明の第1実施例のブロック構成図



【特許請求の範囲】

【請求項 1】 入力画像データを記憶するメモリ部（１）と、

前記メモリ部（１）内の前記入力画像データの記憶位置を指定するアドレスを発生し、前記メモリ部（１）に供給するアドレス発生部（２）と、
前記アドレス発生部（２）を制御し、前記アドレス発生部（２）で発生されるアドレスの指定順序を制御することにより、前記入力画像データの出力順序を制御するアドレス制御部（３）とを有し、
前記入力画像データに応じて得られる画像の表示変換処理を行なうことを特徴とする画像データ処理装置。

【請求項 2】 前記アドレス制御部（３）は書き込みアドレスを制御することにより前記画像データの出力順序を制御することを特徴とする請求項 1 記載の画像データ処理装置。

【請求項 3】 前記アドレス制御部（３）は読出しアドレスを制御することにより前記画像データの出力順序を制御することを特徴とする請求項 1 記載の画像データ処理装置。

【請求項 4】 前記アドレス制御部（３）は前記画像データの走査方向及び副走査方向のデータのアドレスを制御することにより、前記画像データに応じた画像の反転及び回転を行なうことを特徴とする請求項 1 乃至 3 のいずれか一項記載の画像データ処理装置。

【請求項 5】 前記入力画像データを夫々隣接する一方方向の複数のアドレスに分配するデータ分配手段（９９）を有し、該データ分配手段によって分配された入力画像データを前記アドレス制御部（７１， ７２）により前記アドレスを制御して、前記メモリ部（８３～８６）に前記データ分配手段（９９）の分配方向に直交する方向で同一のアドレスを複数回アクセスしつつ、このデータの書き込み又は読み出しを行なうことにより前記入力画像データに応じた画面の拡大を行なうことを特徴とする請求項 1 乃至 4 のいずれか一項記載の画像データ処理装置。

【請求項 6】 前記入力画像データを一方向に複数のデータより一のデータを合成するデータ合成手段（１０３）を有し、該データ合成手段（１０３）によって合成されたデータを前記アドレス制御部（１４０）により前記メモリ部（１３５）の前記データ合成手段（１０３）の合成方向に直交する方向のアドレスに一ラインおきにアクセスしつつ、データの書き込み又は読み出しを行なうことにより前記入力画像データに応じた画面の縮小を行なうことを特徴とする請求項 1 乃至 4 のいずれか一項記載の画像データ処理装置。

【請求項 7】 前記入力画像データを前記入力画像データの階調に応じて予め設定された複数のドットの輝度を制御するデータに変換するデータ変換手段（１２１～１３０）を有し、前記データ変換手段（１２１～１３０）により変換されたデータを前記メモリ（３）の入力デー

タとすることを特徴とする請求項 1 乃至 5 記載の画像データ処理装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は画像データ処理装置に係り、特に、通常の入力画像データを処理し、入力画像データに基づく画面の上下、左右の反転、拡大、縮小等の画像処理を行なう画像データ処理装置に関する。

【０００２】近年の画像表示装置の普及にともない、さらに大容量、高精細な表示装置の要求が高まっている。この要求を満たすために、単体の表示装置の表示ドット数を増やす努力とともに、比較的製造が容易な中精細の表示装置（例えば 640×480 ドット）を複数個縦横に配置し、１つの画面を構成することにより大容量を実現するマルチ表示装置が提案されている。特に表示装置として直接型液晶パネル（例えば対角 10.4 インチサイズ）の表示画面を、光学手段を用いてパネルの枠部分（非表示部）以上に拡大して、マルチ表示装置を実現する試みがなされている。

【０００３】このような液晶パネルを用いたマルチ表示装置に関して、光学手段による画像の拡大率を最低限にして拡大に伴う画質の低下を抑える目的で、パネルの配置を工夫した時に必要な画像の反転処理、及びマルチ表示装置で入力画像を拡大表示するのに必要な画像データ処理等を行なう画像データ処理が求められている。

【０００４】

【従来の技術】従来、多数画面を縦横に配置したマルチ画面を構成する方法として、複数の CRT の画面をそのまま配置したり、CRT または液晶パネルを用いた背面投写表示装置を複数台配置する方法が提案されている。しかし、CRT 画面を配置する方法では、つなぎ目を細くすることは困難である。

【０００５】図 25 に背面投写装置の構成図を示す。４つの表示装置 201 により 1 つの画面を構成する。表示装置 201 は箱体 202 内に液晶パネル 203 を配置、液晶パネル 203 の背面にランプ 204、前面に拡大レンズ 205 を配置する。液晶パネル 203 の画像は拡大レンズ 205 により拡大され表示面 206 に投影される。

【０００６】しかし、背面投写装置を用いる方法では、奥行きが厚いという不便さがある。これに対し、近年直視型の液晶パネルと短焦点の光学系を用いて奥行きが薄く、かつつなぎ目が目立たないマルチ表示装置が考案されている。

【０００７】図 26 に直視型の液晶パネルと短焦点光学系を用いたマルチ表示装置の構成図を示す。

【０００８】複数の液晶パネル 211 を液晶パネル 211 の背面にバックライト 212 を配置し、前面に正立結像レンズアレイ 213、拡大レンズ 214、スクリーン 215 を配置する。

【0009】このような直視型液晶表示パネルを用いる方法は、短焦点の光学系によりパネルの枠部以上に僅かに表示画面を拡大し画像をつなぎ合わせるが、この時の拡大率は可能な限り小さいことが画質の向上という点で有利である。そこで、上下左右に2パネルずつ4パネルでマルチ画面を構成する場合、図26(B)に示すように液晶パネル211のドライバIC216等が搭載されない枠部の幅の狭い辺を近接させるように配置することが考えられる。この時は背面投写装置を用いる方法では、単位ユニットの配置は同一でありユニット毎に走査方向は全て同一で、例えば左上から最初のデータが表示され、順次同一水平ライン上を右方向に進み、1ラインを走査し終わってから1段下のラインに進み、最終は右下でデータの転送表示を完了し、画像データの転送に関して、同一走査方向のデータをそれぞれのユニットに分配して供給すれば良いが直視型液晶表示パネルを同図のように配置して用いる方法では、画像データの走査方向は、パネルにより異なるので、入力される画像データは、パネルの配置に対応して、データの走査方向を制御する必要がある。

【0010】

【発明が解決しようとする課題】しかるに、従来は通常の画像データをこの種のマルチ表示装置に適するように変換する画像データ処理装置はなく、入力画像データ自体をマルチ表示装置に適する順序で生成する必要があるため、データ送信側のデータ処理が複雑となり、また、マルチ表示装置に適するデータの生成が可能な装置にしか接続できず、適用範囲が狭く、実用的でない等の問題点がある。

【0011】本発明は上記の点に鑑みてなされたもので、上下左右反転、拡大、縮小等の画像処理が容易に行なえる画像データ処理装置を提供することを目的とする。

【0012】

【課題を解決するための手段】図1に本発明の原理図を示す。メモリ部1は入力画像データを記憶する。アドレス発生部2はメモリ部1内の入力画像データの記憶装置を指定するアドレスを発生し、メモリ部1に供給する。

【0013】アドレス制御部3はアドレス発生部2を制御し、アドレス発生部2で発生されるアドレスの指定順序を制御することにより入力画像データの出力順序を制御する。

【0014】

【作用】本発明によれば、アドレス制御部によりアドレス発生部を制御することによりアドレスの指定順序を制御することができるため、入力画像データの出力順序を制御でき、従って、入力画像データに応じて得られる画像の上下左右の反転や拡大縮小等の表示変換処理を行なうことができる。

【0015】

【実施例】図2は本発明の第1実施例のブロック構成図を示す。同図中、 T_{IN1} は入力端子で、外部より入力画像データがシリアルに供給される。

【0016】入力端子 T_{IN1} はシリアル／パラレル変換部11に接続され、供給されたシリアル入力画像データをシリアル／パラレル変換部11に供給する。シリアル／パラレル変換部11は供給されたシリアル画像データをパラレルデータに変換する。シリアル／パラレル変換部11で変換されたパラレル入力画像データはメモリ部12に供給される。

【0017】メモリ部12はRAM等の半導体記憶装置で構成されており、データを記憶するデータ部13、データ部13のローアドレスを指定するローアドレス入力部14、データ部13のカラムアドレスを指定するカラムアドレス入力部15より構成される。シリアル／パラレル変換部11から供給されたパラレル入力画像データは書込みサイクルでデータ部13のローアドレス入力部14及びカラムアドレス入力部15により指定されたアドレスに記憶され、読出しサイクルでローアドレス入力部14及びカラムアドレス入力部15により指定されたアドレス順に読み出される。

【0018】データ部13から読み出されたデータはパラレル／シリアル変換部16に供給される。パラレル／シリアル変換部16はメモリ部12から読み出されたデータをシリアルデータに変換する。パラレル／シリアル変換部16には制御端子 T_{C1} が接続されていて、制御端子 T_{C1} に供給されるシフト方向制御信号に応じてシフト方向を切換えられる構成とされている。

【0019】また、メモリ部12のローアドレス入力部14、カラムアドレス入力部15にはアドレス発生部16からアドレスが供給される。アドレス発生部16は書込みアドレスを発生する書込みアドレス発生部17、読出しアドレスを発生する読出しアドレス発生部18、書込みアドレス及び読出しアドレスのメモリ部12への供給を切替える書込み／読出し切替部19、書込みアドレスの指定順序を制御する書込みアドレス制御部20よりなる。

【0020】書込みアドレス発生部17は書込みカラムアドレスを発生する書込みカラムアドレス発生部21、書込みローアドレスを発生する書込みローアドレス発生部22よりなる。書込みカラムアドレス発生部21は順次上昇するカラムアドレスを発生するアップカウンタ23及び順次下降するカラムアドレスを発生するダウンカウンタ24より構成される。また、書込みローアドレス発生部22は順次上昇するローアドレスを発生するアップダウンカウンタ25及び順次下降するローアドレスを発生するダウンカウンタ26より構成される。

【0021】書込みアドレス発生部17で発生された上昇カラムアドレス、下降カラムアドレス、上昇ローアドレス、下降ローアドレスはアドレス制御部20に供給さ

10

20

30

40

50

れる。アドレス制御部20は上昇カラムアドレスと下降カラムアドレスとを切替えるカラムアドレス制御部27及び上昇ローアドレスと下降ローアドレスとを切替えるローアドレス制御部28より構成される。

【0022】カラムアドレス制御部27にはアップカウンタ23より上昇カラムアドレス及びダウンカウンタ24より下降カラムアドレスが供給されると共に制御端子 T_{C2} よりカラムアドレス切替制御信号が供給される。カラムアドレス制御部27は制御端子 T_{C2} から供給されるカラムアドレス切替制御信号に応じて上昇カラムアドレス又は下降カラムアドレスのいずれか一方を選択出力し、書込み/読出し切替部19に供給する。

【0023】また、ローアドレス制御部28にはアップカウンタ25より、上昇ローアドレス及びダウンカウンタ26より下降ローアドレスが供給されると共に制御端子 T_{C3} よりローアドレス切替制御信号が供給される。ローアドレス制御部28は制御端子 T_{C3} から供給されるローアドレス切替信号に応じて上昇ローアドレス又は下降ローアドレスのいずれか一方を選択出力し、書込み/読出し切替部19に供給する。

【0024】書込み/読出し切替部19はカラムアドレス書込み/読出し切替部29及びローアドレス書込み/読出し切替部30より構成される。カラムアドレス書込み/読出し切替部29にはカラムアドレス制御部27で選択出力された書込みカラムアドレス及び読出しアドレス発生部18から読出しカラムアドレスが供給されると共に制御端子 T_{C4} 、 T_{C5} から書込み制御信号及び読出し制御信号が供給される。カラムアドレス書込み/読出し切替部29は制御端子 T_{C4} 、 T_{C5} から供給される書込み制御信号及び読出し制御信号に応じて書込みカラムアドレス又は読出しカラムアドレスのいずれか一方を選択出力し、メモリ部12のカラムアドレス入力部15に供給する。

【0025】また、ローアドレス書込み/読出し切替部30にはローアドレス制御部28で選択出力された書込みローアドレス及び読出しアドレス発生部18から読出しローアドレスが供給されると共に制御端子 T_{C4} 、 T_{C5} から書込み及び読出し制御信号が供給される。ローアドレス書込み/読出し切替部30は制御端子 T_{C4} 、 T_{C5} から供給される書込み制御信号及び読出し制御信号に応じて書込みローアドレス又は読出しローアドレスのいずれか一方を選択出力し、メモリ部12のローアドレス入力部14に供給する。

【0026】書込み/読出し切替部19に読出しカラムアドレス及び読出しローアドレスを供給する読出しアドレス発生部18は読出しカラムアドレス発生部31及び読出しローアドレス発生部32より構成される。読出しカラムアドレス発生部31はアップカウンタよりなり、順次上昇するカラムアドレスを発生し、カラムアドレス書込み/読出し切替部29に供給する。また、読出しロ

ーアドレス発生部32はアップカウンタよりなり、順次上昇するローアドレスを発生し、ローアドレス書込み/読出し切替部30に供給する。

【0027】また、メモリ部12には制御端子 T_{C6} より書込み信号が供給されており、メモリ部12は制御端子 T_{C6} から供給される書込み信号に応じて書込みが行なわれる。

【0028】図3に本発明の第1実施例の動作タイミング図を示す。同図中、(A)は入力端子 T_{C1} に供給される入力画像データ、(B)はシリアル/パラレル変換部11によりシリアル/パラレル変換された後のパラレル入力画像データ、(C)はアドレス制御部20から書込み/読出し切替部19に供給される書込みアドレス、

(D)は読出しアドレス発生部18から書込み/読出し切替部19に供給される読出しアドレス、(E)は制御端子 T_{C4} に供給される書込み制御信号、(F)は制御端子 T_{C5} に供給される読出し制御信号、(G)はメモリ部12への入力アドレス、(H)は制御端子 T_{C6} に供給される書込み信号、(I)はデータ部13から読み出される読出しデータ、(J)はパラレル/シリアル変換部16に供給されるラッチ信号、(K)はパラレル/シリアル変換部16の出力データを示す。

【0029】上昇又は下降の2つの書込みアドレスの内どちらかを選択するかは、制御端子 T_{C2} 、 T_{C3} に供給されるアドレス切替制御信号をアドレス制御部20に入力することにより行われる。

【0030】時系列的にシリアルに入力されたデータ入力信号(図3(A))は、シリアル/パラレル変換部11により並列転送されメモリ部12に書き込まれる。また、メモリ部12から読出されたデータは、逆にパラレル/シリアル変換部16により入力時と同一なシリアルデータとして表示装置等に供給される。メモリへのデータの書込み及び読出しのタイミングは、図3(B)、

(C)、(D)に示すように、シリアル/パラレル変換の周期内に割り当てられ、書込んだデータを書込みの直後に読み出すことにより、動画データに対してリアルタイムでデータの表示が行われる。

【0031】図4、図5に本発明の第1実施例の動作説明図を示す。

【0032】例えば、図4(A)に示すように画面33の表示ドット数が 640×480 ドットより構成されているとする。シリアル/パラレル変換部11によりシリアル信号を8本のパラレル信号に変換することを考え、メモリ部12には図4(B)に示すようにアドレスに対応して各画素毎に8ビットのデータが格納される。表示画素34のアドレス指定は各画素34に数字で示されるように下2桁は、カラムアドレス、上3桁をローアドレスとした5桁のアドレスを指定する。本実施例では、カラムアドレスは、 $00 \sim 79$ 、ローアドレスは、 $000 \sim 479$ である。

【0033】アドレス発生部17としては、カラム、ローそれぞれに対して、上昇カウンタ23、25と下降カウンタ24、26を有し、図5(A)に示すように原画に対して、これを左右反転する場合は、書込みローアドレスを上昇カウンタ25からメモリ部12に加え、書込みカラムアドレスは、下降カウンタ24からメモリ部12に加え画像データを書込む。また、読出し時にはパラレル／シリアル変換部16のデータのシフト方向は入力時と逆になるように選択する。

【0034】図5(B)に示すように上下反転する場合は、カラムアドレスは上昇カウンタ23を用い、ローアドレスは、下降カウンタ26を用い、書込みを行なう。図5(C)に示すように180°回転の場合は、カラム、ローアドレスともに下降カウンタ24、26を用い書込みを行ない、読出し時にはパラレル／シリアル変換部16のデータシフト方向は入力と逆にする。

【0035】以上のように、書込みアドレスの上昇、下降方向を制御して、画像データの書込みを行ない、読出し時に通常の上昇アドレスにより読み出すことにより、データの記憶位置を左右、上下に对称に変移させることができるため、通常の入力画像データに基づいた画像を容易に左右、上下又は回転させることができる。

【0036】図6に本発明の第2実施例のブロック構成図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明は省略する。

【0037】本実施例では書込み時は通常の上昇アドレスで入力画像データを書込み、読出し時にアドレスのカウント方向を制御することで、入力画像データに基づいた画面の左右上下の反転及び回転を行なう。従って、本実施例では書込みアドレス発生部41はアップカウンタのみよりなる書込みカラムアドレス発生部42及び書込みローアドレス発生部43で構成し、発生されたアドレスは書込み／読出し切替部19に供給し、読出しアドレス発生部44はアップカウンタ45とダウンカウンタ46とよりなる読出しカラムアドレス発生部47及びアップカウンタ48とダウンカウンタ49とよりなる読出しローアドレス発生部50より構成し、読出しアドレス発生部44の発生アドレスをアドレス制御部20を介して書込み／読出し切替部19に供給する構成としてなる。

【0038】本実施例によれば、読出しアドレス発生部44のアドレス上昇、下降の制御を第1実施例の書込みアドレス発生部17のアドレス制御と同様に行なうことにより第1実施例の図5に示すような左右、上下反転及び回転を行なえる。

【0039】図7に本発明の第3実施例のブロック構成図を示す。本実施例はマルチ表示装置の表示を行なわせるための画像のデータ処理装置を示す。

【0040】マルチ表示装置51は同一構成の4つの液晶表示装置52、53、54、55よりなる。液晶表示装置52～55は夫々配線部aと画面部bとを有し、配

線部aでは画像の表示が行なえない構成とされている。

【0041】このため、液晶表示装置52に対して液晶表示装置55を180°回転させて対角上に配置し、液晶表示装置53を液晶表示装置52に対して表裏を反対にして、液晶表示装置52の左側に左右対称に配置し、液晶表示装置54を液晶表示装置52に対して表裏を反対にして液晶表示装置52の上側に上下対称に配置することにより、液晶表示装置52～55の配線部aが外周部分に位置するように配置される。

【0042】従って、液晶表示装置52と同様に液晶表示装置53～55を駆動させると、液晶表示装置53は液晶表示装置52に対して左右が反転した画像となり、液晶表示装置54は液晶表示装置52に対して上下が反転した画像となり、液晶表示装置55は液晶表示装置52に対して180°回転した画像となるため、液晶表示装置53～55を液晶表示装置52と上下左右が同等となるように駆動しようとする、液晶表示装置53の画像は左右反転させ、液晶表示装置54の画像は上下反転させ、液晶表示装置55の画像は180°回転させて表示する必要がある。

【0043】そこで、本実施例では液晶表示装置52～55にメモリ部56～59を介して画像データを供給し、表示させる構成とする。

【0044】メモリ部56～59には入力端子T_{IN1}より入力画像データが供給され、書込みアドレス発生部60及び読出しアドレス発生部61からの供給される書込みアドレス及び読出しアドレスに応じて入力画像データの書込み及び読出しが制御される。書込みアドレス発生部60は書込みカラムアドレスを発生する書込みカラムアドレス発生部62及び書込みローアドレスを発生する書込みローアドレス発生部63より構成される。

【0045】書込みカラムアドレス発生部62はアップカウンタ64及びダウンカウンタ65より構成され、アップカウンタ64には例えば00→79の80アドレス分の上昇カラムアドレスを発生し、ダウンカウンタ65は例えば79→00の80アドレス分の下降カラムアドレスを発生する。また、書込みローアドレス発生部63はアップカウンタ66及びダウンカウンタ67により構成され、アップカウンタ66は例えば、000→479の480アドレス分の上昇ローアドレスを発生し、ダウンカウンタ67は例えば、479→000の480アドレス分の下降ローアドレスを発生する。

【0046】アップカウンタ64で生成された上昇カラムアドレスはメモリ部56、58に書込み時のカラムアドレスとして供給され、ダウンカウンタ65で生成された下降カラムアドレスはメモリ部57、59に書込み時のカラムアドレスとして供給される。また、アップカウンタ66で生成された上昇ローアドレスはメモリ部56、57に書込み時のローアドレスとして供給され、ダウンカウンタ67で生成された下降ローアドレスはメモ

リ部58, 59に書込み時のローアドレスとして供給される。

【0047】読出しアドレス発生部61はアップカウンタにより構成され、例えば00→79の80アドレス分の上昇カラムアドレス及び例えば000→479の480アドレス分の上昇ローアドレスを生成し、メモリ部56～59に供給する。

【0048】以上によりメモリ部56に供給された画像データは上昇カラムアドレス、上昇ローアドレスによって決定される書込みアドレスで書込まれ、上昇カラムアドレス、上昇ローアドレスによって読出され、液晶表示装置52に供給され、正常な向きで画像が映し出される。

【0049】メモリ部57に供給された画像データは下降カラムアドレス及び上昇ローアドレスによって書込まれ、カラム方向（左右方向）に反転した順に書込まれ、正常な方向から読み出されるため、液晶表示装置53の画像は液晶表示装置52の画像に対して左右反転した画像となり、液晶表示装置52の画像と同等な表示が行なえる。

【0050】メモリ部58に供給された画像データは上昇カラムアドレス及び下降ローアドレスによって決定される書込みアドレスで書込まれ、上昇カラムアドレス及び上昇ローアドレスによって読出されるため、ロー方向（上下方向）に逆の順で書込まれ、正常な方向から読出され、従って、液晶表示装置54の画像は液晶表示装置52と同方向から見た場合液晶表示装置52の画像に対して上下が反転した画像となり、液晶表示装置52の画像と同等な表示が行なえる。

【0051】メモリ部59に供給される画像データは下降カラムアドレス及び下降ローアドレスによって決まる書込みアドレスで書込まれ、上昇カラムアドレス及び上昇ローアドレスによって読出されるため、カラム方向（左右方向）及びロー方向（上下方向）共に逆の順で書込まれ、正常な方向から読出され、従って、液晶表示装置55の画像は液晶表示装置52と同方向から見た場合、液晶表示装置52の画像に対して180°回転した画像となるため、180°回転した位置に配置した場合正常な画像とすることができる。

【0052】本実施例では、書込みアドレスをカラム、ロー方向で独立に2種類（アドレス値が上昇する方向と下降する方向）用意しているので、液晶パネルを用いたマルチ表示装置で、各液晶パネルのデータ走査方向が異なって配置される場合も、書込みアドレス発生部をパネルの配置に対応させて選択することにより、表示の上下、左右の反転を補正して正常な向きで像を表出することができる。

【0053】さらに、マルチ表示装置の場合、読出し期間はどの表示装置52～55も常時有効として、常にメモリ部56～59からのデータを読出し、書込み期間

は、選択的に制御することにより、任意のパネルの表示を静止させたり動画にしたりという操作を行なうことができる。

【0054】また、図8に示すようにフレーム毎に表示画像データを変化させ、各表示装置52～55毎に異なる画面P1～P4を表示させることもできる。このような動作を行なう場合、図9に示すようにフレーム信号に応じてメモリ部56～59の書込みを許可するイネーブル信号（図9（C）～（F））をメモリ部56～59に供給し、図9（B）に示すようにメモリ部56～59に供給する画像データをフレーム位置毎に異ならせることにより実現できる。

【0055】図10に本発明の第4実施例の構成図を示す。本実施例は1フレーム分の入力画像データを2×2フレームの画面に拡大表示する構成を示す。同図中、71はローアドレス発生部、72はカラムアドレス発生部を示す。ローアドレス発生部71は書込みローアドレスカウンタ73, 74, 読出しローアドレスカウンタ75, セレクタ76, 77より構成され、ローアドレスを発生する。

【0056】書込みローアドレスカウンタ73は端子T₂₁に供給される水平同期信号をカウントし、例えば、0→2→4→6→8→…→478→0…のように奇数アドレスを出力し、セレクタ76に供給する。書込みローアドレスカウンタ74は端子T₂₁に供給される水平同期信号をカウントし、例えば、1→3→5→7→9→…→479→1…のように偶数アドレスを出力し、セレクタ76に供給する。

【0057】読出しローアドレスカウンタ75は端子T₂₁に供給される水平同期信号をカウントし、例えば、0→1→2→3→4→…→479→0…のように順次増加するアドレスを出力し、セレクタ77に供給する。

【0058】セレクタ76は垂直同期信号に基づいて生成されたセレクト制御信号C1に応じて書込みローアドレスカウンタ73, 74のいずれか一方の出力ローアドレスを選択出力し、セレクタ77に供給する。セレクタ77は端子T₂₅に供給される書込み/読出し制御信号に応じてセレクタ76からの書込みローアドレス又は読出しローアドレスカウンタ75の読出しローアドレスのいずれか一方を選択出力する。

【0059】カラムアドレス発生部72は書込みカラムアドレスカウンタ78, 79, 読出しカラムアドレスカウンタ80, セレクタ81, 82より構成され、カラムアドレスを発生する。

【0060】書込みカラムアドレスカウンタ78は端子T₂₂に供給されるドットクロックを8分周したクロックをカウントし、例えば、0→2→4→6→8→…→78→0…のように奇数アドレスを出力し、セレクタ81に供給する。書込みカラムアドレスカウンタ79は端子T₂₂に供給されるドットクロックを8分周したクロックをカ

ウントし、例えば、1→3→5→7→9→…→79→1のように偶数アドレスを出力し、セクタ81に供給する。

【0061】読出しカラムアドレスカウンタ80は端子T₂₂に供給されるドットクロックを8分周したクロックをカウントし、例えば、0→1→2→3→4→…→79→0のように順次増加するアドレスを出力し、セクタ82に供給する。

【0062】セクタ81は垂直同期信号に基づいて生成されたセレクト制御信号C₂に応じて書込みカラムアドレスカウンタ78、79のいずれか一方の出力ローアドレスを選択出力し、セクタ81に供給する。セクタ81は端子T₂₅に供給される書込み／読出し制御信号に応じてセクタ81からの書込みカラムアドレス又は読出しカラムアドレスカウンタ80の読出しカラムアドレスのいずれか一方を選択出力する。

【0063】ローアドレス発生部71で生成され選択されたローアドレスはメモリ部83～86のローアドレス入力部87～90に供給され、カラムアドレス発生部72で生成され選択されたカラムアドレスはメモリ部83～86のカラムアドレス入力部91～94に供給される。

【0064】メモリ部83～86はローアドレス入力部87～90、及びカラムアドレス入力部91～94に供給された書込み又は読出しアドレスに応じてデータ部95～98にデータの書込み又は読出しを行なう。メモリ部83～86にはシリアル／パラレル変換部99からデータが供給される。

【0065】シリアル／パラレル変換部99はシフトレジスタ100、セクタ101～104、ラッチ105より構成される。シフトレジスタ100には端子T₂₃からシリアル入力画像データ(8ビット)が供給される。シフトレジスタ100に保持されたデータはセクタ101～104を介してラッチ105に供給され、ラッチ105からパラレルデータとして出力される。

【0066】セクタ101には入力画像データが8ビットとすると、4ビット目と8ビット目のデータが供給され、どちらか一方のデータをラッチ105の7、8ビット目に供給する。セクタ102には3ビット目と7ビット目のデータが供給され、どちらか一方のデータをラッチ105の5、6ビット目に供給する。セクタ103には2ビット目と6ビット目のデータが供給され、どちらか一方のデータをラッチ105の3、4ビット目に供給する。セクタ104には1ビット目と5ビット目のデータが供給され、どちらか一方のデータをラッチ105の1、2ビット目に供給する。セクタ101～104には垂直同期信号に基づいて生成された選択信号C₂が供給され、選択信号に応じて選択出力が行なわれる。

【0067】垂直同期信号は端子T₂₄に供給され、フレ

ームカウンタ106により上述の選択信号C₁、C₂を生成する。フレームカウンタ106は垂直同期信号をカウントし、00→01→10→11を1同期とするカウント値を順次出力する。選択信号C₁はカウント値の1ビット目に対応し、垂直同期信号に応じて0→1→0→1…と変化する。選択信号C₂はカウント値の2ビット目に対応し、垂直同期信号に応じて0→0→1→1…と変化する。

【0068】なお、読出しローアドレスカウンタ75、及び、読出しカラムアドレスカウンタ80の出力アドレスは書込みイネーブル発生部107にも供給される。書込みイネーブル発生部107は供給されたアドレスに応じてイネーブル信号E₁～E₄を生成し、メモリ部83～86に供給する。

【0069】さらに、端子T₂₅に供給される書込み／読出し制御信号はメモリ部83～86にも供給される。メモリ部83～86は上記イネーブル信号E₁～E₄及び書込み／読出し制御信号に応じて書込み／読出しのタイミングが制御される。

【0070】メモリ部83～86のデータ部95～98はパラレル／シリアル変換部108～111によりシリアルデータに変換された後、表示パネル112～115よりなる表示装置116に供給され、表示装置116を駆動する。

【0071】図11(図12、図13)に本発明の第4実施例の動作タイミング図を示す。図11は垂直同期信号4周期分のタイミングを示す。図11(A)は端子T₂₄に供給される垂直同期信号、図11(B)、(C)は垂直同期信号をフレームカウンタ106によりカウントすることにより得られる選択信号C₂、C₁、図11(D)は端子T₂₁に供給される水平同期信号を示す。

【0072】図12は端子T₂₄に供給され垂直同期信号の1周期分のタイミングを示し、図12(A)は垂直同期信号、図12(B)に水平同期信号、図12(C)はシリアル／パラレル変換部99から出力されるパラレル入力画像データ、図12(D)は読出しローアドレスカウンタ75及び読出しカラムアドレスカウンタ80からのアドレスに応じて書込みイネーブル発生部107内に発生するタイミング信号T₁を示す。

【0073】図13は1水平同期期間のタイミングを示し、同図中、(A)は水平同期信号、(B)は端子T₂₂に供給されるドットクロックを8分周したクロック、(C)はシリアル／パラレル変換部99によりパラレルデータに変換された入力画像データ、(D)は書込みイネーブル発生部107内部で発生されるタイミング信号T₂を示す。

【0074】書込みイネーブル発生部107では図12(D)及び図13(D)に示すタイミング信号T₁、T₂をデコードすることによりイネーブル信号E₁～E₄を生成する。

【0075】図14にタイミング信号 T_1 、 T_2 に対するイネーブル信号 $E_1 \sim E_4$ の出力を示す。

【0076】図15に本発明の第4実施例の動作説明図を示す。

【0077】シリアル／パラレル変換部99によりシフトレジスタ100の出力をセクタ101～104で選択しつつラッチ105に分配することにより図15

(A)、(B)に示すように上位4ビットと下位4ビットとが夫々8ビットのデータに変換され、カラム方向の拡大が行なわれる。

【0078】また、書込みローアドレスを書込みローアドレスカウンタ73、74により、ローアドレスを奇数アドレスと偶数アドレスに分け、図15(C)、(D)に示すようにまず、奇数アドレスに入力画像データを書込み、次に、同じデータを偶数アドレスに入力画像データを書込むことによりロー方向の拡大が行なわれる。

【0079】図16、図17、図18に本発明の第4実施例の動作説明図を示す。同図中、(A)は原画である。ここでは説明を簡単にするために原画は 16×12 ドットで構成されてこの原画を 2×2 倍に拡大するものとする。

【0080】まず、図15(A)と図15(C)に示すような動作が実行され、図16(B)に示すようにメモリ部83～86の奇数ローアドレスにデータの書込みが行なわれる。ここで斜線部分はデータの書込みが行なわれない部分を示す。

【0081】次に、図15(A)と図15(D)に示す動作が実行され、図16(C)に示すようにメモリ部83～86の偶数ローアドレスにデータの書込みが行なわれる。

【0082】次に図15(B)と図15(C)に示す動作が実行され、図17(A)に示すようにメモリ部83～86の奇数ローアドレスにデータが書込まれる。

【0083】次に図15(B)と図15(D)に示す動作が実行され、図17(B)に示すように偶数ローアドレスにデータが書込まれる。

【0084】以上の動作により書込まれたデータを通常のように読出すことにより図16(B)、図16

(C)、図17(A)、図17(B)に示すように書込まれたデータを重ね合わせたデータを得ることができ、これは、図16(A)に示す原画データの 2×2 倍の画像となる。

【0085】以上の構成によれば、例えば図18(A)に示す原画を図18(B)に示すような 2×2 倍の拡大画像に拡大できる。

【0086】なお、本実施例では書込みアドレスを制御することにより拡大を実施したが書込み時と同様の制御を読出しアドレスを制御することにより読出し時に実施しても拡大を行なうことができる。

【0087】図19にシリアル／パラレル変換部99の

変形例を示す。上述のシリアル／パラレル変換部99はシリアルに入力されたディジタル画像データが供給され、パラレルデータに変換する構成であったが、本変形例ではシリアルに供給されるアナログ画像信号をパラレルに出力されるディジタルデータに変換するものである。本変形例のシリアル／パラレル変換部120は入力信号レベルを検出するコンパレータ121～124、コンパレータ121～124で検出されたデータよりパラレルデータを生成するシフトレジスタ125～128、シフトレジスタ125～128からのデータを選択するデータマルチプレクス回路129、データマルチプレクス回路129の出力データをラッチするラッチ回路130より構成される。

【0088】コンパレータ121～124は異なるしきい値 $Th_1 \sim Th_4$ を有し、アナログ入力信号をこのしきい値 $Th_1 \sim Th_4$ と比較し、ハイ又はローレベルの信号を出力する。しきい値 $Th_1 \sim Th_4$ は $Th_1 > Th_2 > Th_3 > Th_4$ に設定される。

【0089】コンパレータ121～124で検出された0又は1の検出データはシフトレジスタ125～128に順次保持される。シフトレジスタ125～128に保持されるデータは夫々拡大したときのドットに対応する。

【0090】図20に拡大時の表示ドットを示す。1ドットを 2×2 倍に拡大する場合、 2×2 個のドットで構成することができる。このとき、1ドットに対応し、 2×2 倍のドットを構成する各ドットの座標を(0, 0)、(0, 1)、(1, 0)、(1, 1)と表現すると、シフトレジスタ125に保持されるデータはドット(0, 0)、シフトレジスタ126に保持されるデータはドット(1, 1)、シフトレジスタ127に保持されるデータはドット(0, 1)、シフトレジスタ128に保持されるデータはドット(1, 0)に対応させる。

【0091】シフトレジスタ126～128に保持されたデータはデータマルチプレクス回路129に供給される。データマルチプレクス回路129にはフレームカウンタ106から選択信号C1、C2が供給される。マルチプレクス回路129はフレームカウンタ106から供給された選択信号C1、C2に応じてデータを選択し、ラッチ130に供給する。

【0092】図21に選択動作説明図を示す。選択信号C1が0のときは奇数ローアドレス、1のときは偶数ローアドレスの書込みが行なわれるため、C1=0のときは表示ドットの上段(0, 0)、(0, 1)に書込まれるデータa、cが選択され、C1=1のときは表示ドットの下段(1, 0)(1, 1)に書込まれるデータb、dが選択される。また、選択信号C2により上位ビットと下位ビットとを分割する。

【0093】データマルチプレクス回路129で選択されたデータ $Q_0 \sim Q_7$ はラッチ130に保持された後、

10

20

30

40

50

メモリ部83〜86に供給される。

【0094】以上のように拡大によって4ドットが割当てられることを利用して4ドットの内の任意のドットを入力レベルに従って、選択点灯させ面積階調を実現することができる。この場合、入力されるアナログ信号に対して、4つの閾値($Th_1 \sim Th_4$)を設け、コンパレータにより入力信号のレベルを比較することにより、4本のアナログ／デジタル変換信号を得る。この信号を拡大後のドットに対応させることにより、点灯するドットの数により面積階調を実現する。

【0095】図22に本発明の第5実施例のブロック図を示す。本実施例は画像の縮小を行なう構成としてなる。

【0096】端子 T_{31} には入力画像データがシリアルに供給される。端子 T_{31} はシリアル／パラレル変換部131に接続され、シリアル入力画像データはシリアル／パラレル変換部131に供給される。

【0097】シリアル／パラレル変換部131はシフトレジスタ132、133、ラッチ134より構成される。シリアル入力画像データはシフトレジスタ132、133に順次保持される。

【0098】シフトレジスタ132、133は夫々8ビットずつ有し、16ビットの入力画像データが保持される。シフトレジスタ132、133は1ビットおきにラッチ134に接続される。ラッチ134は8ビットのデータを保持する構成とされ、シフトレジスタ132、133に保持されたデータを間引きしつつ、パラレルデータに変換し、メモリ部135に供給する。

【0099】メモリ部135はデータ部136、ローアドレス入力部137、カラムアドレス入力部138を有する。シリアル／パラレル変換部131の出力変換データはデータ部136に供給され、ローアドレス入力部137、カラムアドレス入力部138に供給されるアドレスに応じて書込み、読出しが行なわれる。

【0100】読出されたデータはパラレル／シリアル変換部139に供給され、シリアルデータに変換され表示部に供給される。

【0101】また、メモリ部135のローアドレス入力部137及びカラムアドレス入力部138にはアドレス発生部140からローアドレス及びカラムアドレスが供給される。アドレス発生部140はローアドレスを発生するローアドレス発生部141及びカラムアドレスを発生するカラムアドレス発生部142より構成される。

【0102】ローアドレス発生部141は書込みローアドレスを発生する書込みローアドレスカウンタ143及び読出しローアドレスを発生する読出しローアドレスカウンタ144、書込みローアドレスカウンタ143と読出しローアドレスカウンタ144のいずれかのアドレスを選択するセレクト145より構成される。書込みローアドレスカウンタ143には端子 T_{32} より水平同期信号

が供給され、水平同期信号をカウントし、カウント毎に $0 \rightarrow 0 \rightarrow 1 \rightarrow 1 \rightarrow 2 \rightarrow 2 \rightarrow 3 \rightarrow 3 \rightarrow \dots \rightarrow 239 \rightarrow 239$ のようにアドレスをカウントアップする。また、読出しローアドレスカウンタ144には端子 T_{32} より水平同期信号が供給され、水平同期信号をカウントし、カウント毎に $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow \dots \rightarrow 479$ のようにアドレスをカウントアップする。

【0103】セレクト145には端子 T_{34} より書込み／読出し制御信号が供給され、書込み／読出し制御信号に応じて書込みローアドレス又は読出しローアドレスのいずれか一方を選択出力し、メモリ部135のローアドレス入力部137に供給する。

【0104】カラムアドレス発生部142は書込みカラムアドレスを発生する書込みカラムアドレスカウンタ146及び読出しカラムアドレスを発生する読出しカラムアドレスカウンタ147、書込みカラムアドレスカウンタ146と、読出しカラムアドレスカウンタ147のいずれかのアドレスを選択するセレクト148より構成される。書込みカラムアドレスカウンタ146には端子 T_{33} よりドットクロックを8分周したクロックが供給され、そのクロックをカウントし、カウント毎に $0 \rightarrow X \rightarrow 1 \rightarrow X \rightarrow 2 \rightarrow X \rightarrow 3 \rightarrow X \rightarrow \dots \rightarrow 39 \rightarrow X$ のように一周期毎に無効となるアドレスをカウントアップする、また、読出しカラムアドレスカウンタ147には端子 T_{33} よりドットクロックを8分周したクロックが供給され、このクロックをカウントし、カウント毎に $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow \dots \rightarrow 79$ のようにアドレスをカウントアップする。

【0105】セレクト148には端子 T_{34} より書込み／読出し制御信号が供給され、書込み／読出し制御信号に応じて書込みカラムアドレス又は読出しカラムアドレスのいずれか一方を選択出力し、メモリ部135のカラムアドレス入力部138に供給する。

【0106】図23、図24に本発明の第5実施例の動作タイミング図を示す。図23(A)は垂直同期信号、図23(B)は端子 T_{32} に供給される水平同期信号、図23(C)は端子 T_{31} に供給される入力画像データ、図23(D)は書込みローアドレスカウンタ143で発生するローアドレス、図23(E)は端子 T_{35} に供給される書込みイネーブル、図23(F)は読出しローアドレスカウンタ144で発生する読出しアドレス、図23(G)はメモリ部135のデータ部136から読出される読出しデータを示す。

【0107】図23(C)の数字はラインを示し、図23(D)、図23(E)の数字はカウント値を示し、アドレスに相当する。図23(G)に示すデータは前フレームのデータで、数字はデータが書込まれていたラインを示す。図23(G)のデータは読み出された順に表示装置に供給され、1ライン目から順次表示される。このため、表示装置の0ラインには0ラインのデータに対応した表示、表示装置の1ラインには2ラインに対応した

表示、同様に 4, 6, 8, 10…ラインのデータは表示装置の 2, 3, 4, 5…ラインに表示される。

【0108】また、図 24 (A) は、端子 T₃₂に供給される水平同期信号、図 24 (B) は端子 T₃₃に供給されるクロックを生成するためのドットクロック、図 24 (C) は端子 T₃₁に供給される入力データ、図 24 (D) はラッチ 134 のラッチタイミング信号、図 24 (E) はラッチ 134 の出力パラレルデータ、図 24 (F) は端子 T₃₄に供給される書込み／読出し制御信号、図 24 (G) はメモリ部 135 に供給される書込み 10 アドレス、図 24 (H) はメモリ部 135 に供給される読出しアドレス、図 24 (I) はメモリ部 135 の読出しラッチタイミング信号、図 24 (J) はメモリ部 135 から読出されるデータ、図 24 (K) はパラレル／シリアル変換部 139 の変換タイミング信号、図 24 (L) はパラレル／シリアル変換部 139 の出力データを示す。

【0109】以上のように本実施例では垂直方向は書込みアドレスカウンタのカウント値を 1 回おきにダブらせてカウントし、1 ラインおきに間引き、水平方向は、1 20 ドットおきにデータを間引き、1 バイト (8 ビット) 分そろったところで RAM に書き込み、読出しはメモリ部 135 よりデータを 1 バイト、1 ライン毎に順に読出すことにより縮小が行なわれる。

【0110】

【発明の効果】 上述の如く、本発明によれば、入力画像データが記憶されるメモリ部へのアドレスの指定順序を制御することにより画像データの出力順序を制御することにより画像データに基づいて得られる画像の左右、上下反転、拡大縮小等の画像処理を容易に実現できる等の 30 特長を有する。

【図面の簡単な説明】

【図 1】 本発明の原理図である。

【図 2】 本発明の第 1 実施例のブロック構成図である。

【図 3】 本発明の第 1 実施例の動作タイミング説明図である。

【図 4】 本発明の第 1 実施例の動作説明図である。

【図 5】 本発明の第 1 実施例の動作説明図である。

【図 6】 本発明の第 2 実施例のブロック構成図である。

【図 7】 本発明の第 3 実施例のブロック構成図である。 40

【図 8】 本発明の第 3 実施例の動作説明図である。

【図 9】 本発明の第 3 実施例の動作説明図である。

【図 10】 本発明の第 4 実施例のブロック構成図である。

【図 11】 本発明の第 4 実施例の動作タイミング説明図である。

【図 12】 本発明の第 4 実施例の動作タイミング説明図である。

【図 13】 本発明の第 4 実施例の動作タイミング説明図である。

【図 14】 本発明の第 4 実施例の動作説明図である。

【図 15】 本発明の第 4 実施例の動作説明図である。

【図 16】 本発明の第 4 実施例の動作説明図である。

【図 17】 本発明の第 4 実施例の動作説明図である。

【図 18】 本発明の第 4 実施例の動作説明図である。

【図 19】 本発明の第 4 実施例のシリアル／パラレル変換部の変形例の構成図である。

【図 20】 拡大時の表示ドット説明図である。

【図 21】 本発明の第 4 実施例のシリアル／パラレル変換部の変形例の動作説明図である。

【図 22】 本発明の第 5 実施例のブロック構成図である。

【図 23】 本発明の第 5 実施例の動作タイミング説明図である。

【図 24】 本発明の第 5 実施例の動作タイミング説明図である。

【図 25】 背面投影表示装置の構成図である。

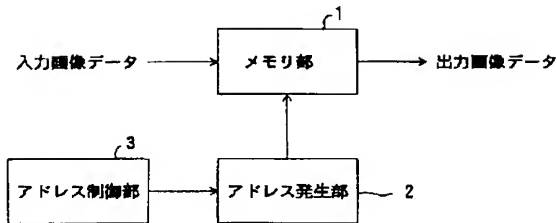
【図 26】 直視型液晶パネルを用いたマルチ表示装置の構成図である。

【符号の説明】

- 1 メモリ部
- 2 アドレス発生部
- 3 アドレス制御部
- 11 シリアル／パラレル変換部
- 12 メモリ部
- 13 データ部
- 14 ローアドレス入力部
- 15 カラムアドレス入力部
- 16 パラレル／シリアル変換部
- 17 書込みアドレス発生部
- 18 読出しアドレス発生部
- 21 書込みカラムアドレス発生部
- 22 書込みローアドレス発生部
- 23, 25 アップカウンタ
- 24, 26 ダウンカウンタ
- 27 カラムアドレス制御部
- 28 ローアドレス制御部

【図 1】

本発明の原理図



【図 20】

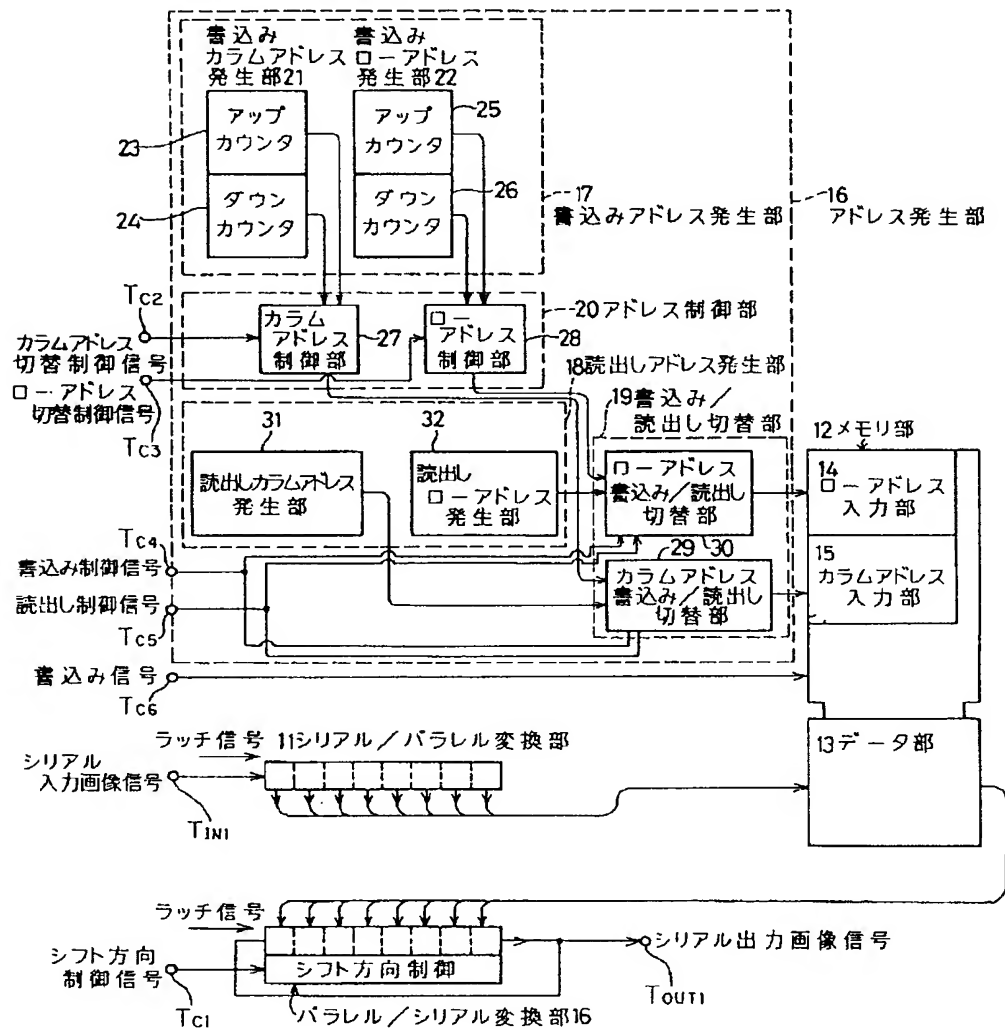
拡大時の表示ドットの説明図

| | |
|-------|-------|
| (0 0) | (0 1) |
| (1 0) | (1 1) |

表示ドット

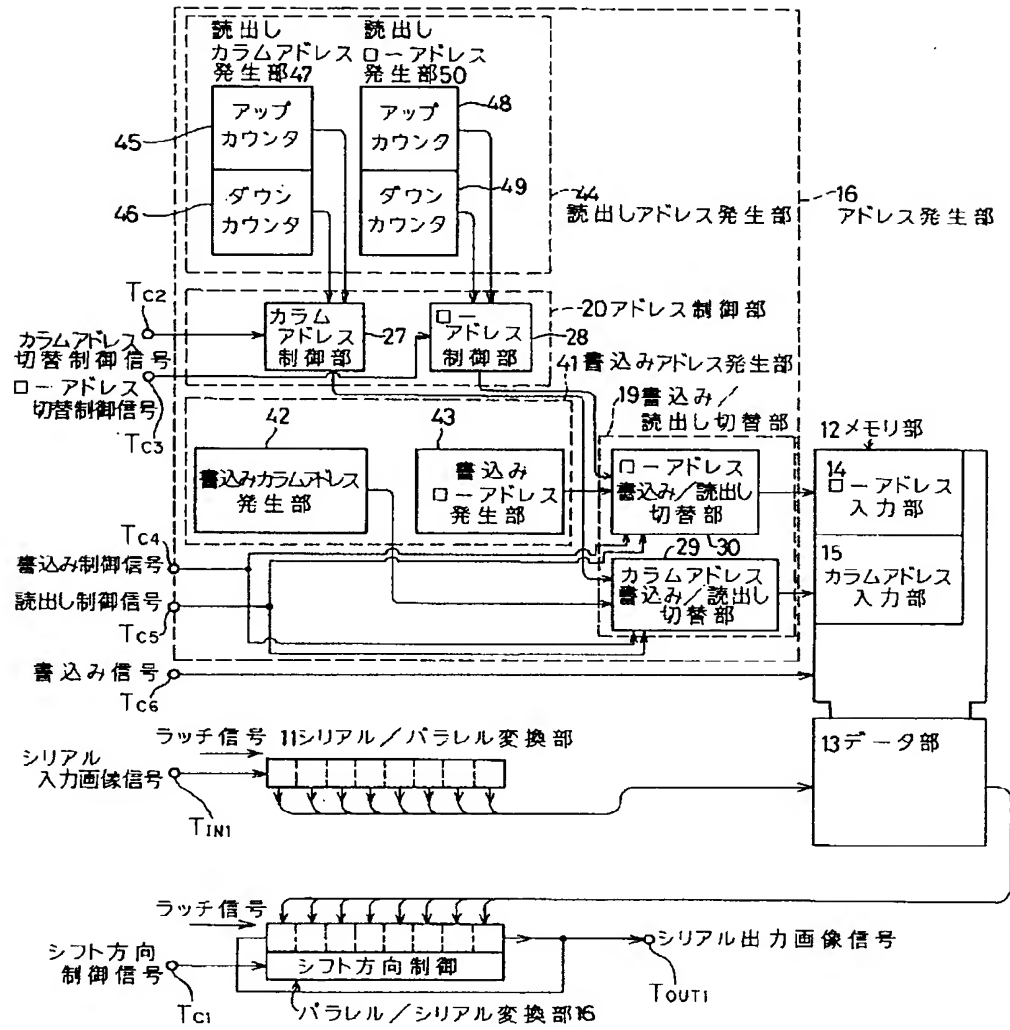
【図 2】

本発明の第1実施例のブロック構成図



【図6】

本発明の第2実施例のブロック構成図



【図14】

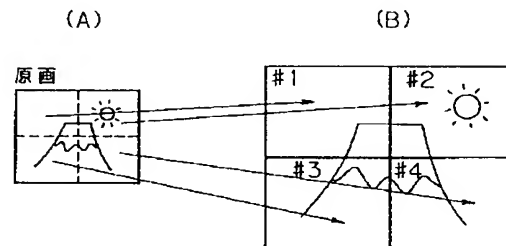
本発明の第4実施例の動作説明図

| (入力) | | (出力) | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|
| T ₁ | T ₂ | E ₁ | E ₂ | E ₃ | E ₄ |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

("1"の時有効)

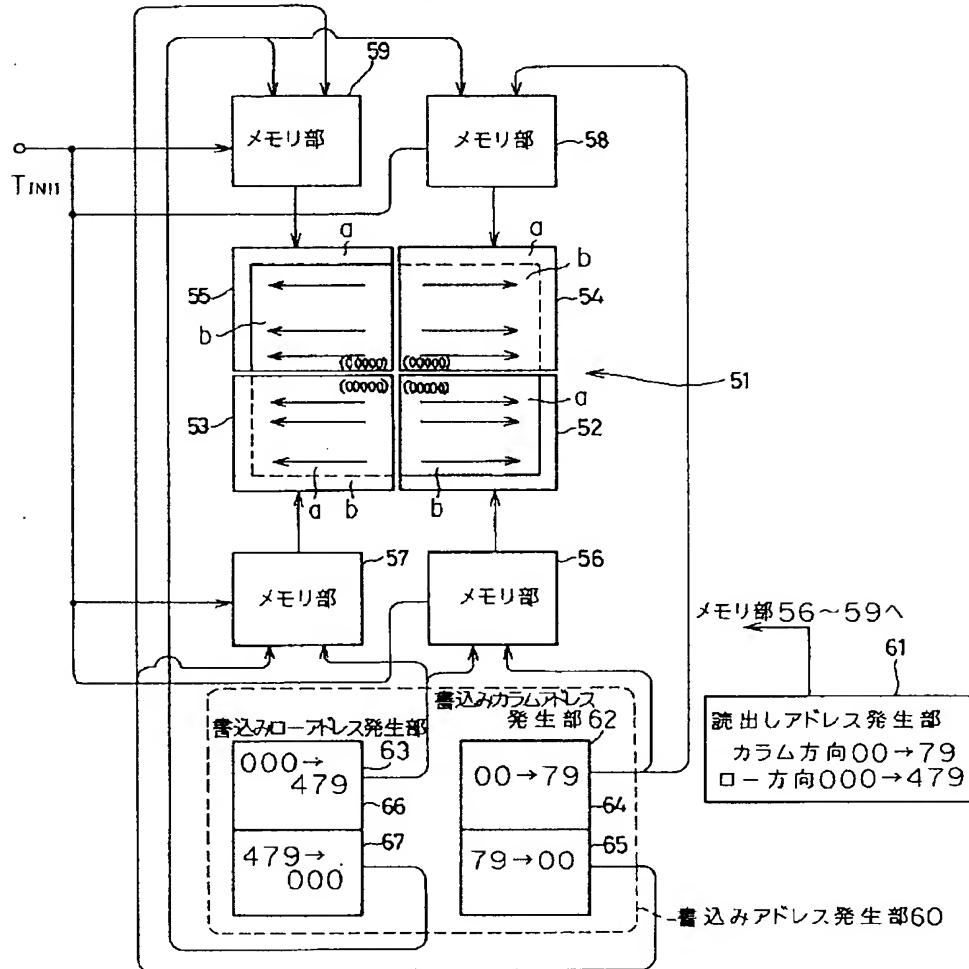
【図18】

本発明の第4実施例の動作説明図



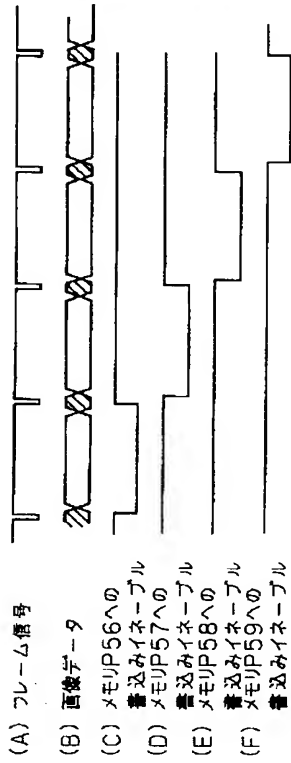
【図 7】

本発明の第3実施例のブロック構成図



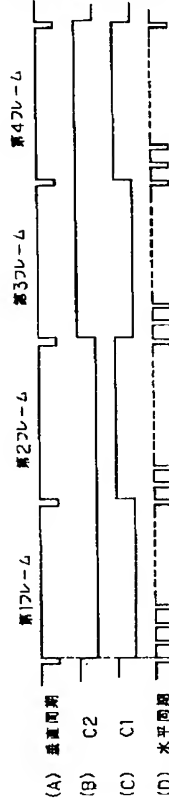
【図9】

本発明の第3実施例の動作説明図



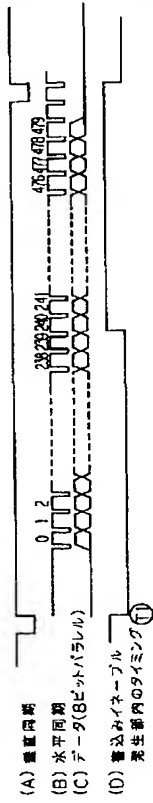
【図11】

本発明の第4実施例の動作タイミング説明図

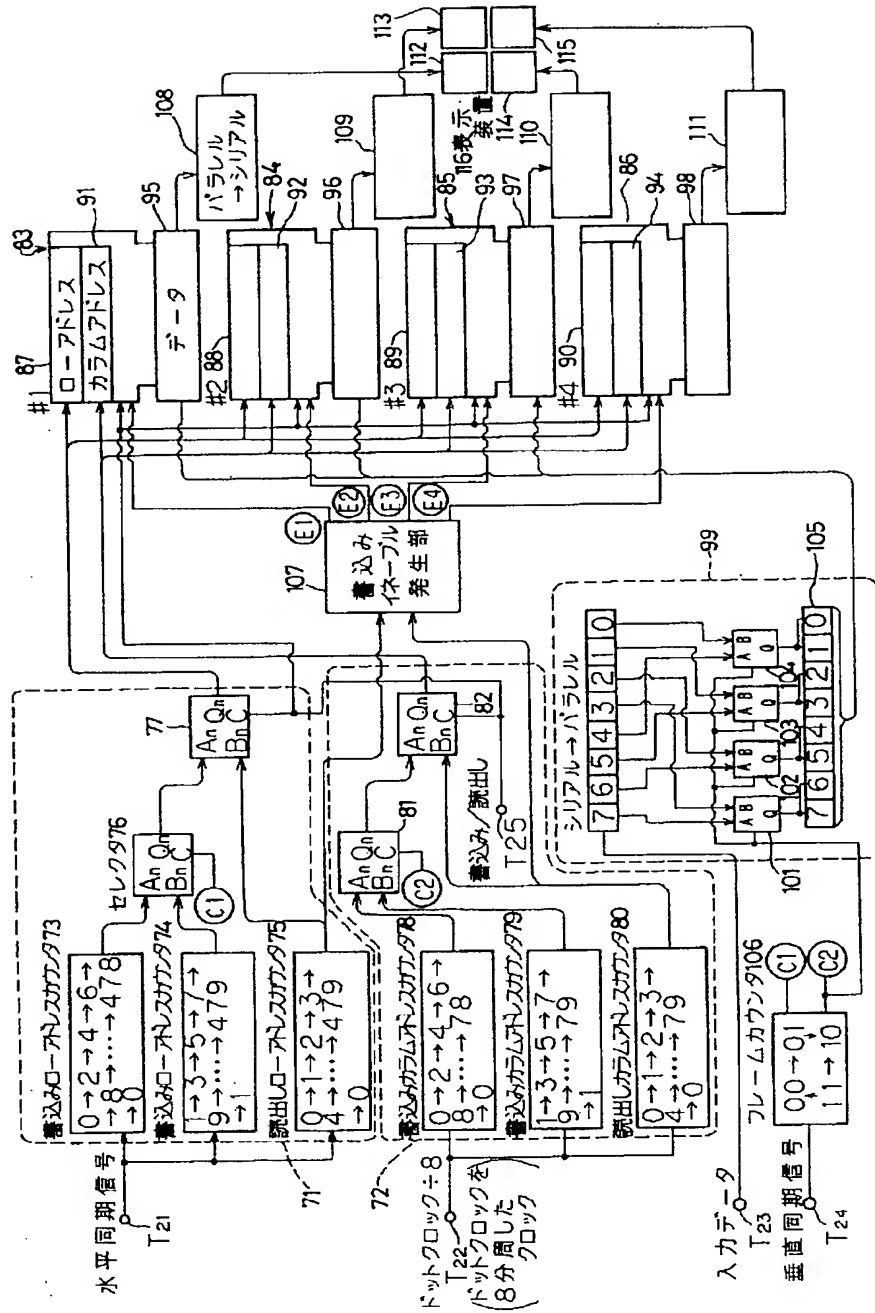


【図12】

本発明の第4実施例の動作タイミング説明図

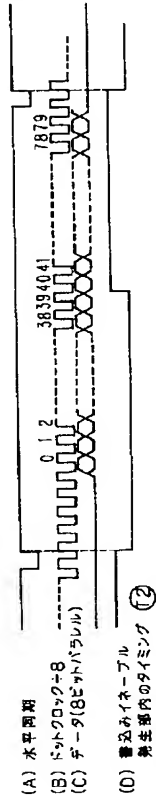


【図 10】



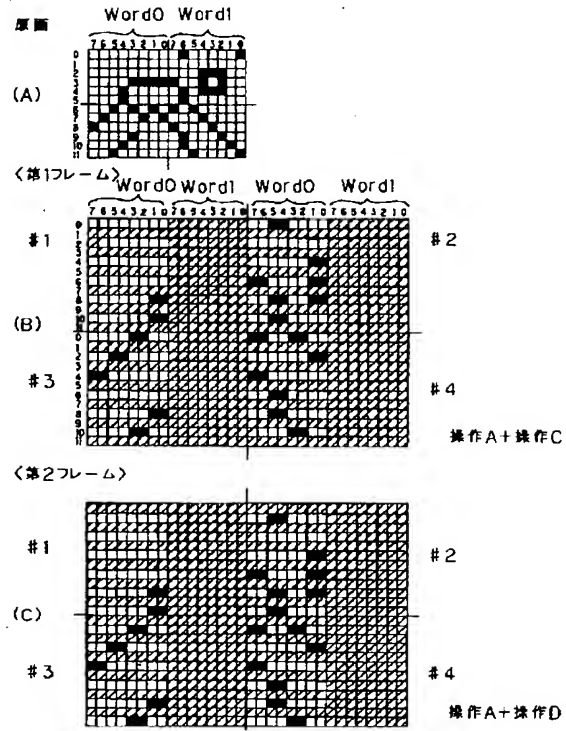
【図13】

本発明の第4実施例の動作タイミング説明図



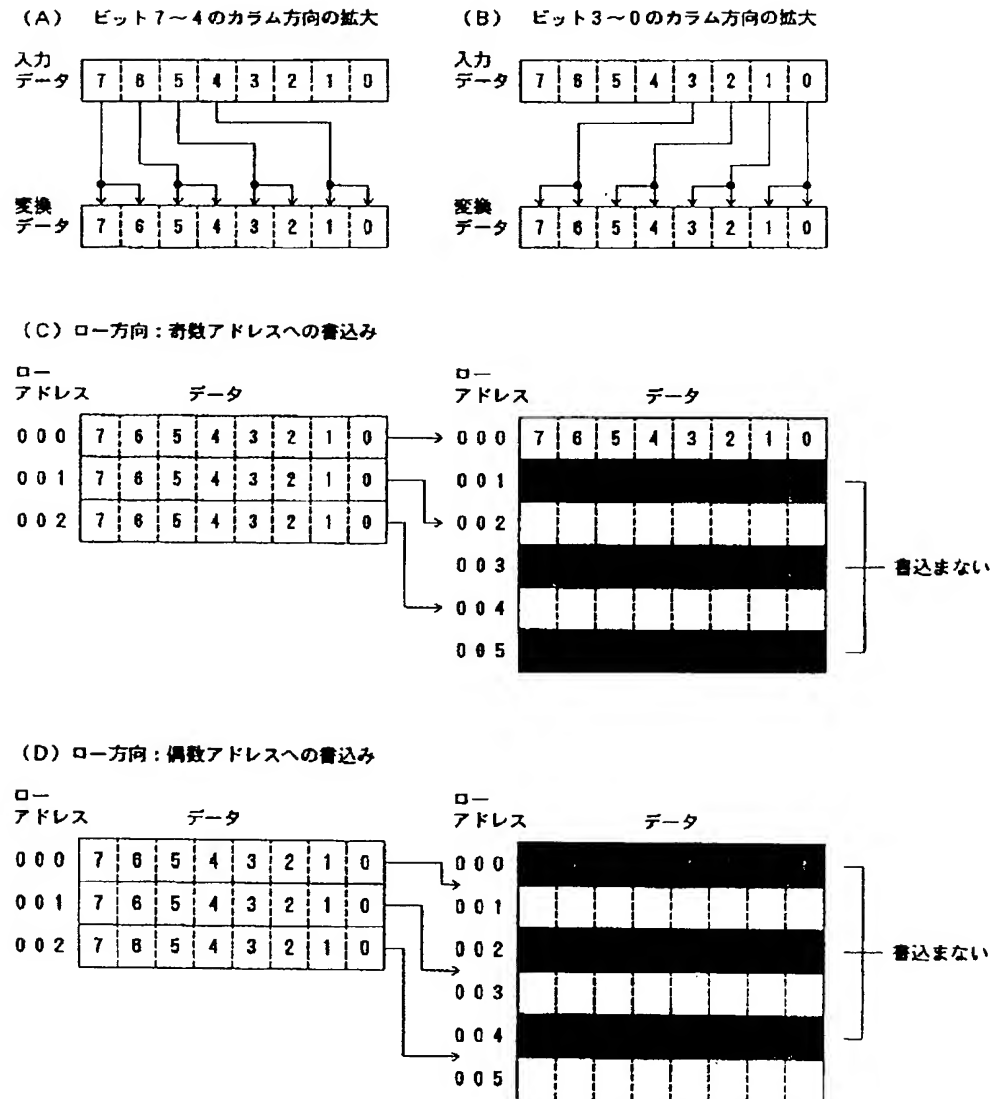
【図16】

本発明の第4実施例の動作説明図



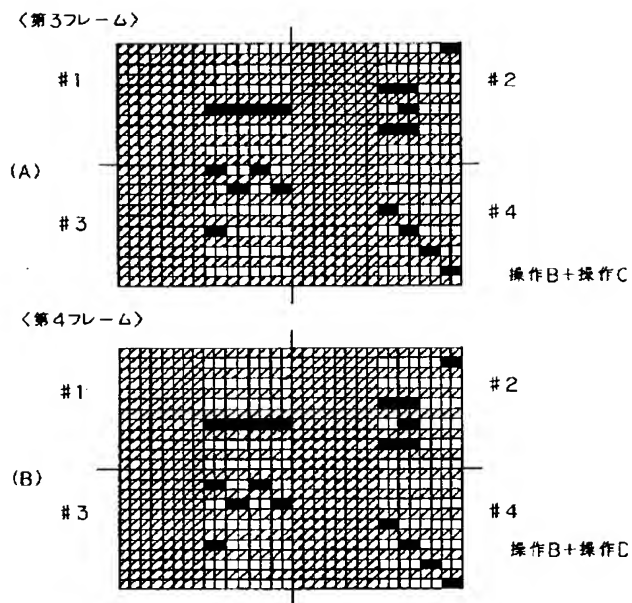
【図 15】

本発明の第4実施例の動作説明図



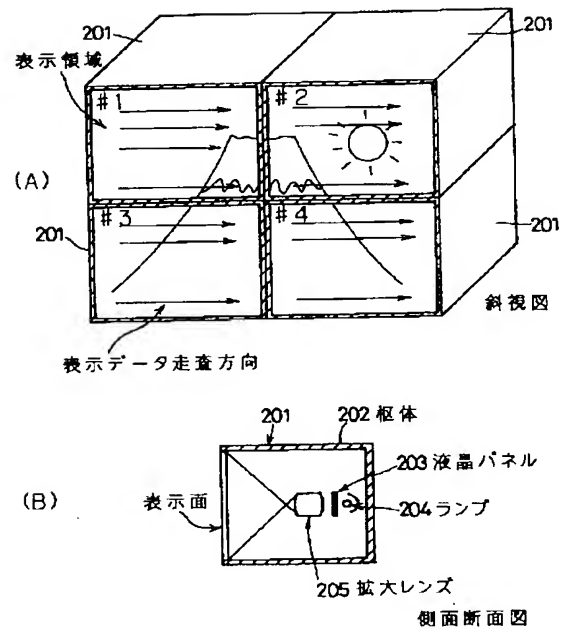
【図17】

本発明の第4実施例の動作説明図



【図25】

背面投写表示装置の構成図



【図21】

本発明の第4実施例のシリアル／パラレル変換部の
変形例の動作説明図

データマルチプレクス回路の論理表

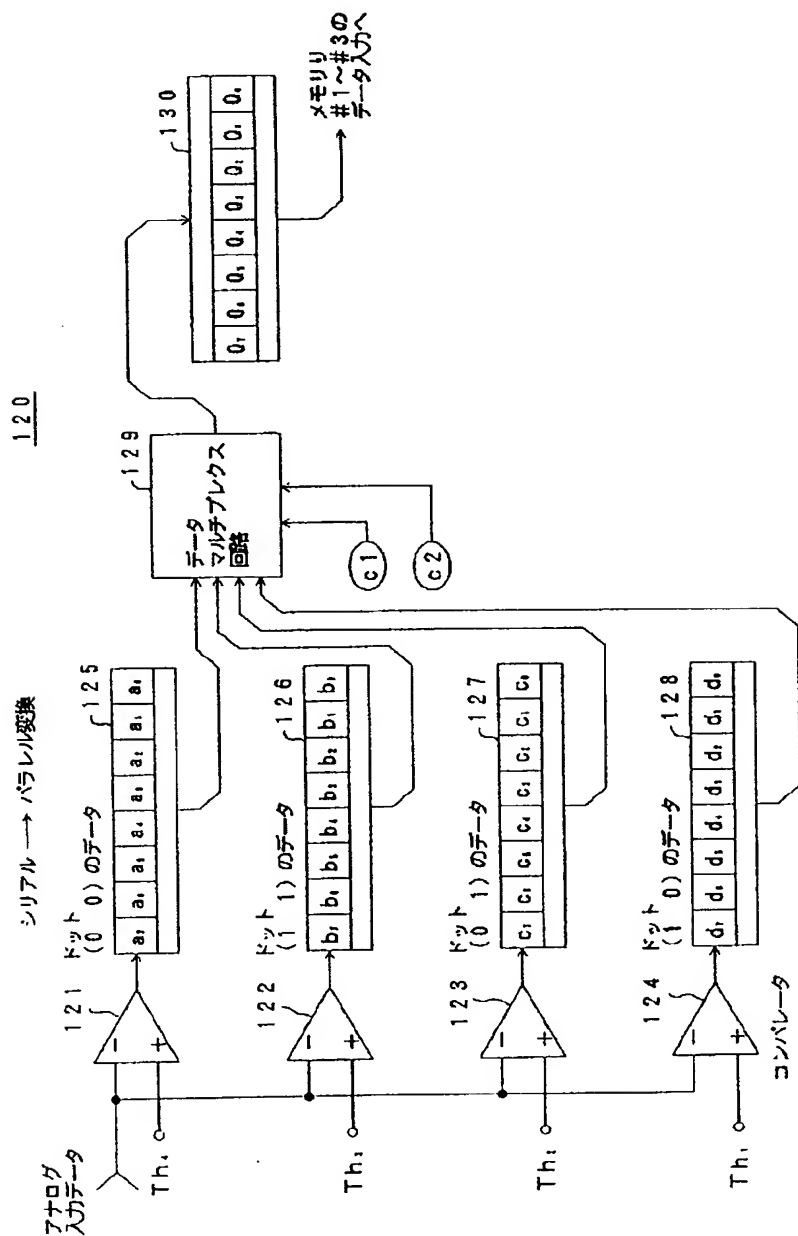
| C2 | C1 | Q ₇ | Q ₆ | Q ₅ | Q ₄ | Q ₃ | Q ₂ | Q ₁ | Q ₀ |
|----|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0 | 0 | a ₇ | c ₇ | a ₆ | c ₆ | a ₅ | c ₅ | a ₄ | c ₄ |
| 0 | 1 | d ₇ | b ₇ | d ₆ | b ₆ | d ₅ | b ₅ | d ₄ | b ₄ |
| 1 | 0 | a ₃ | c ₃ | a ₂ | c ₂ | a ₁ | c ₁ | a ₀ | c ₀ |
| 1 | 1 | d ₃ | b ₃ | d ₂ | b ₂ | a ₁ | b ₁ | d ₀ | b ₀ |

制御入力

出力

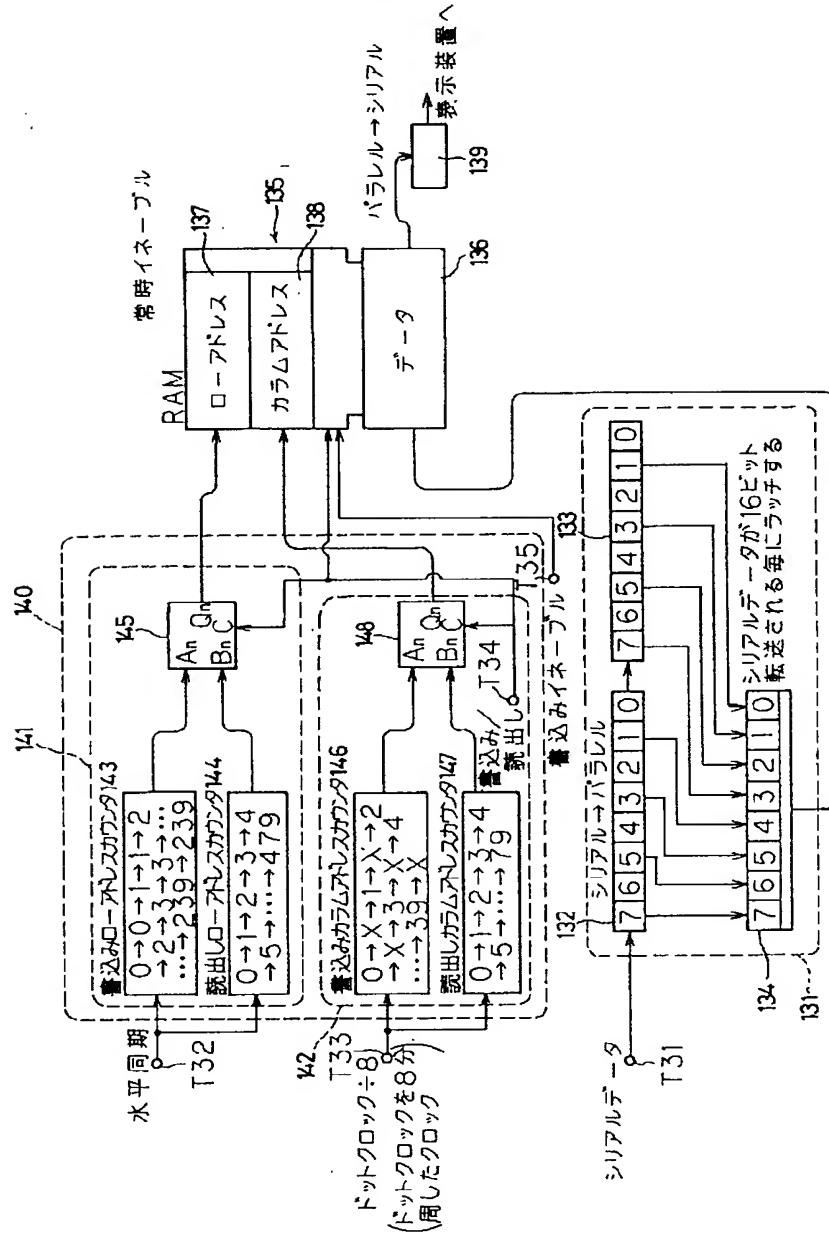
【图 19】

本発明の第 4 実施例のシリアル／パラレル変換部の 変形例の構成図



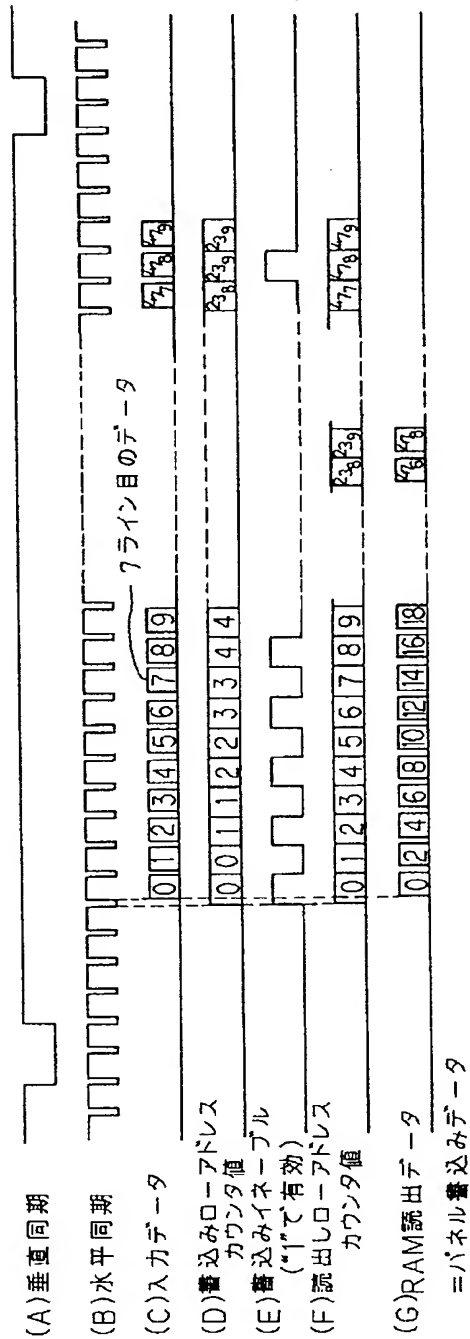
【図22】

本発明の第5実施例のブロック構成図



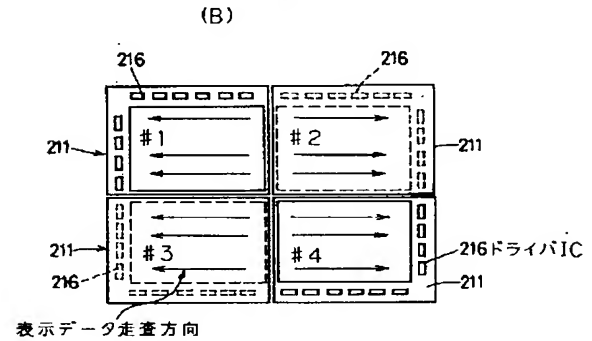
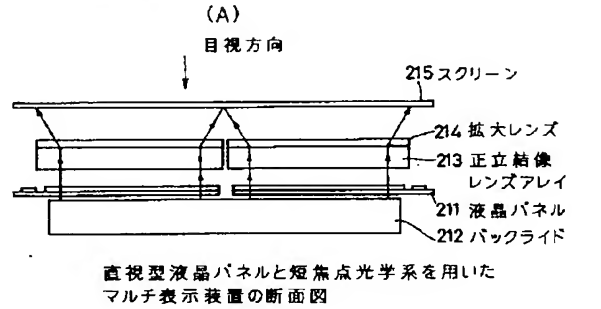
【図23】

本発明の第5実施例の動作タイミング説明図



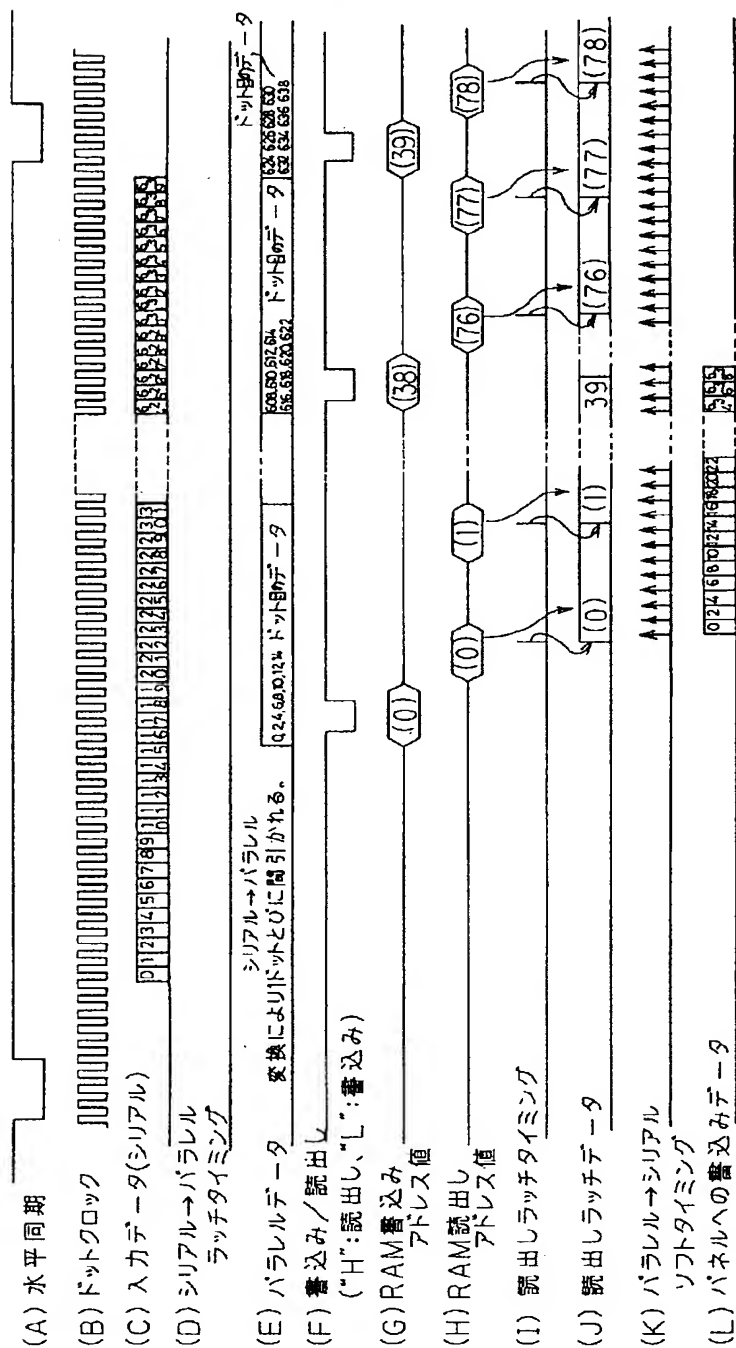
【図26】

直視型液晶パネルを用いたマルチ表示装置の構成図



【図 24】

本発明の第5実施例の動作タイミング図



フロントページの続き

| | | | | |
|----------------------------|-------|-----------|---------------|---------|
| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 9 G 3/20 | | R 9378－5G | | |
| 5/36 | 5 2 0 | K 9471－5G | | |
| H 0 4 N 1/387 | | | | |
| 9/74 | | Z | | |
| | | 9191－5L | G 0 6 F 15/68 | 3 1 0 J |